

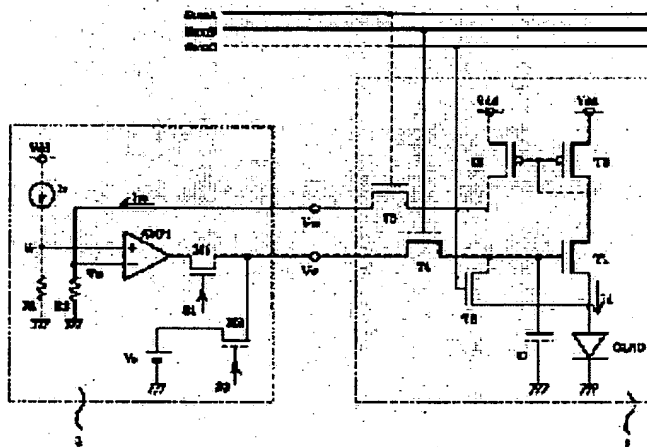
ACTIVE MATRIX TYPE DISPLAY

Patent number: JP2003140613
Publication date: 2003-05-16
Inventor: OMURA MASANOBU; KAWASAKI MOTOAKI
Applicant: CANON KK
Classification:
- international: G09G3/20; G09G3/30; H01L29/786; H05B33/14;
G09G3/20; G09G3/30; H01L29/66; H05B33/14; (IPC1-7): G09G3/30; G09G3/20; H01L29/786; H05B33/14
- european:
Application number: JP20010342644 20011108
Priority number(s): JP20010342644 20011108

Report a data error here

Abstract of JP2003140613

PROBLEM TO BE SOLVED: To provide an active matrix type display realizing a high quality display by solving the problem of variation of current supplied to light emitting elements caused by variation of threshold voltage of transistors and the problem of an influence by an early effect. **SOLUTION:** A light emitting element (OLED), a voltage control current source (T1) for supplying a driving current to the light emitting element (OLED), and a current-voltage conversion element (T2) for detecting the driving current are arranged, and the voltage control current source (T1) is controlled based on a current value of the driving current detected by the current-voltage conversion element (T2). Moreover, a high-speed response can be realized by arranging a reference voltage source (Vs) for resetting the voltage between the terminals of the light emitting element (OLED).



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLACK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-140613

(P2003-140613A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 H 5 C 0 8 0
	6 2 3		6 2 3 L 5 F 1 1 0
			6 2 3 R
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数12 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-342644 (P2001-342644)

(22) 出願日 平成13年11月8日 (2001.11.8)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 大村 昌伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 川崎 素明

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100096828

弁理士 渡辺 敬介 (外2名)

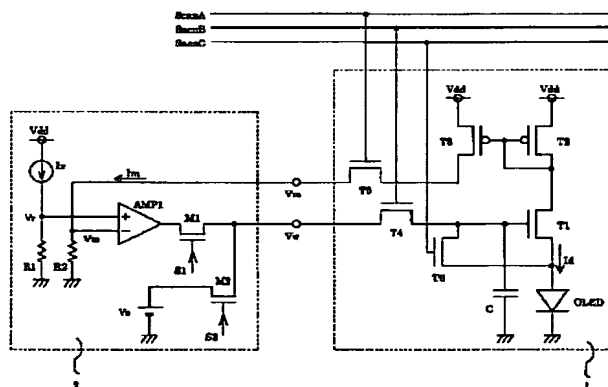
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型ディスプレイ

(57) 【要約】

【課題】 トランジスタのしきい値電圧のばらつきによる発光素子への供給電流のばらつき問題や、アーリー効果による影響の問題を解決し、高品質なディスプレイを実現するアクティブマトリックス型ディスプレイを提供することにある。

【解決手段】 発光素子 (OLED) と、該発光素子に駆動電流を供給する電圧制御電流源 (T1) と、該駆動電流を検出する電流電圧変換素子 (T2) とを設け、該電流電圧変換素子 (T2) によって検出した駆動電流の電流値に基づいて電圧制御電流源 (T1) を制御する。また、発光素子 (OLED) の端子間電圧をリセットする基準電圧源 (Vs) を設けることで高速応答を実現できる。



【特許請求の範囲】

【請求項1】 発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路と前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、制御回路と、基準電圧源と、選択スイッチ回路と、を少なくとも含み、(1-a)前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、

(2) 前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、(1-b)前記データ側駆動回路において、

(1) 前記制御回路は、前記モニタ電流に基づいて前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2) 前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を出力する機能を有し、

(3) 前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路へ出力するかを選択する機能を有し、

前記第1のスイッチ回路及び前記第2のスイッチ回路が共に導通状態にあり且つ前記第3のスイッチ回路が非導通状態にあり前記選択スイッチ回路により前記制御回路

の出力が選択されているときに、前記モニタ電流に基づいて前記制御回路により前記第1の電圧制御電流源を制御する機能と、

前記制御期間の直前の、少なくとも前記第3のスイッチ回路が導通状態にあり前記選択スイッチ回路により前記基準電圧源の出力が選択されているときに、前記発光素子の端子間電圧を所定の電圧値に制御する機能とを有することを特徴とするアクティブマトリックス型ディスプレイ。

【請求項2】 前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全面素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全面素共通電位に接続されていることを特徴とする請求項1に記載のアクティブマトリックス型ディスプレイ。

【請求項3】 前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていることを特徴とする請求項2に記載のアクティブマトリックス型ディスプレイ。

【請求項4】 発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、入出力切り替えスイッチと、を少なくとも含み、(2-a)前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、

(2) 前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電

流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、(2-b) 前記データ側駆動回路において、

(1) 前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2) 前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路と同期動作して、前記画素回路からモニタ電流を入力する入力状態と前記画素回路へ制御電圧を出力する出力状態とに切り替える機能を有し、

前記第1のスイッチ回路が非導通状態にあり且つ前記第2のスイッチ回路が導通状態にあるときに前記入出力切り替えスイッチを入力状態とし、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路が非導通状態にあるときに前記入出力切り替えスイッチを出力状態とし、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とするアクティブマトリクス型ディスプレイ。

【請求項5】 前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うことを特徴とする請求項4に記載のアクティブマトリクス型ディスプレイ。

【請求項6】 前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記

絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路と接続され、前記コンデンサの第2端子は全画素共通電位に接続されていることを特徴とする請求項4又は5に記載のアクティブマトリクス型ディスプレイ。

【請求項7】 発光素子を少なくとも含む画素回路を備えた画素をマトリクス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリクス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、基準電圧源と、選択スイッチ回路と、入出力切り替えスイッチと、を少なくとも含み、(3-a) 前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、

(2) 前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、

(6) 前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、(3-b) 前記データ側駆動回路において、

(1) 前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に

流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2) 前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を与える機能を有し、

(3) 前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路に出力するかを選択する機能を有し、

(4) 前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路と同期動作して、前記画素回路から前記モニタ電流を入力する入力状態と前記画素回路へ制御電圧又はリセット電位を出力する出力状態とに切り替える機能を有し、前記第2のスイッチ回路が非導通状態にあり且つ前記第3のスイッチ回路が導通状態にあるときに前記選択スイッチ回路により前記基準電圧源の出力を選択して、前記リセット電位を前記画素回路に出力して前記発光素子の端子間電圧を所定の電圧値に制御し、

前記第2のスイッチ回路が導通状態にあり且つ前記第1のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチを入力状態として、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチは出力状態とし前記選択スイッチ回路により前記制御回路の出力を選択して、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とするアクティブマトリックス型ディスプレイ。

【請求項8】 前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うことを特徴とする請求項7に記載のアクティブマトリックス型ディスプレイ。

【請求項9】 前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁

ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていることを特徴とする請求項7又は8に記載のアクティブマトリックス型ディスプレイ。

【請求項10】 前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていることを特徴とする請求項9に記載のアクティブマトリックス型ディスプレイ。

【請求項11】 前記駆動電流電圧変換素子と前記第2の電圧制御電流源とは、絶縁ゲート型電界効果トランジスタで構成されたカレントミラー構造であることを特徴とする請求項1から10のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項12】 請求項1から11のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイにおいて、絶縁ゲート型電界効果トランジスタは同一基板上に形成された薄膜トランジスタであることを特徴とするアクティブマトリックス型ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス素子（有機EL素子）などの、素子に流れる電流によって輝度が制御される発光素子を各画素に備えたディスプレイに関するものであり、より詳しくは、絶縁ゲート型電界効果トランジスタなどの能動素子によって発光素子に電流を供給するアクティブマトリックス型ディスプレイに関するものである。

【0002】

【従来の技術】近年、有機EL素子を用いたディスプレイが開発されており、その駆動方法として、単純マトリックス方式とアクティブマトリックス方式がある。前者は構造が単純であるが大型且つ高精細のディスプレイの実現が困難である為に、アクティブマトリックス方式の開発が盛んに行われている。

【0003】有機EL素子を多数使用しアクティブマトリックス回路により駆動する場合、各画素には、発光素子に電流供給を制御する絶縁ゲート型電界効果トランジスタ、所謂薄膜トランジスタ（TFT）が接続されており、このTFTを制御することで有機EL素子の発光動作を制御している。

【0004】（従来例1）図15は、特開平8-234683号公報に示す1画素分の等価回路を示す。

【0005】画素は、発光素子OLED、第1の薄膜トランジスタTFT1、第2の薄膜トランジスタTFT2、および、コンデンサCから構成される。有機EL素子は一般的に整流特性があるため、OLED（有機発光ダイオード）と呼ばれる場合があり、図中では、ダイオードの記号を用いている。ただし、発光素子は必ずしも

OLEDに限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、また、必ずしも整流特性が要求されるものでもない。

【0006】図15では、p型トランジスタTFT1のソースを電源電位V_{dd}に、ドレインは発光素子OLEDのアノードに接続し、発光素子OLEDのカソードはGND電位に接続されている。一方、p型トランジスタTFT2のゲートは走査線Scanに、ソースはデータ線Dataに、ドレインはコンデンサC及びTFT1のゲートに接続され、コンデンサの他端は電源電位V_{dd}に接続されている。

【0007】画素を動作させる為に、まず、走査線ScanによりTFT2をON状態にし、データ線Dataに輝度情報を表すデータ電位V_wを印加するとコンデンサCの充電または放電が行われ、TFT1のゲート電位はデータ電位V_wに一致する。走査線ScanによりTFT2がOFF状態になると、TFT1のゲート電位はコンデンサCによって保持され、TFT1のゲート・ソース電圧V_{gs}に応じた電流が発光素子OLEDに供給され、その電流量に応じた輝度で発光しつづける。

【0008】(従来例2)図16は、特開2001-56667号公報に示す1画素分の等価回路を示す。

【0009】画素は、発光素子OLEDと、信号電流を電圧に変換する或いは発光素子OLEDに電流を供給する第1のトランジスタTFT1と、第1のトランジスタの動作状態を制御する第2のトランジスタTFT2と、信号電流を取り込む或いは発光素子OLEDに電流を供給する状態を選択する第3のトランジスタTFT3、第4のトランジスタTFT4と、電圧を保持するコンデンサCで構成されている。

【0010】図16では、TFT1のソースは電源電位V_{dd}に接続され、ゲートはTFT2のソースとコンデンサCが接続されている。コンデンサCの他端は電源電位V_{dd}に接続されている。TFT1のドレインはTFT2のドレイン、TFT3のドレイン、TFT4のドレインに接続されている。TFT4のソースは発光素子OLEDのアノードに接続され、発光素子のカソードはGND電位に接続されている。TFT3のソースはデータ信号線Dataに接続され、TFT2、TFT3、TFT4のゲートは全て走査線Scanに接続されている。

【0011】画素を動作させる為に、まず、走査線ScanによりTFT2、TFT3はON状態に、TFT4はOFF状態になると、信号電流I_wをTFT1に取り込む、TFT1のゲートには信号電流I_wを流す為に必要なゲート・ソース電圧V_{gs}が発生し、この電圧V_{gs}をコンデンサCに保持する。走査線ScanによってTFT2、TFT3がOFF状態、TFT4がON状態になると、TFT1はコンデンサCに保持されている電圧に基づいて電流を発光素子に流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

【0012】(従来例3)図17は、特開2001-147659号公報に示す1画素分の等価回路を示す。

【0013】画素は、発光素子に流れる駆動電流を制御する第1のトランジスタTFT1、信号電流を電圧に変換する変換用の第2のトランジスタTFT2、走査線ScanAによって画素回路とデータ線とを接続もしくは遮断する取込用の第3のトランジスタTFT3、走査線ScanBによって輝度情報書き込み中にTFT2のゲート・ドレイン間を短絡するスイッチ用の第4のトランジスタTFT4、TFT1のゲート・ソース電圧を輝度情報書き込み終了後も保持するコンデンサC、及び発光素子OLEDから構成される。

【0014】図17では、TFT1、TFT2のソースは電源電位V_{dd}に接続され、TFT1のゲートはTFT2のゲートとコンデンサCとTFT4のドレインに接続されている。コンデンサCの他端は電源電位V_{dd}に接続されている。TFT1のドレインは発光素子OLEDのアノードに接続され、発光素子OLEDのカソードはGND電位に接続されている。TFT2のドレインはTFT4のソースとTFT3のドレインに接続される。TFT3のソースはデータ信号線Dataに接続されている。TFT3のゲートは走査線ScanA、TFT4のゲートは走査線ScanBに接続されている。

【0015】画素を動作させる為に、まず、走査線ScanA、ScanBによりTFT3、TFT4がON状態になると、TFT1とTFT2はカレントミラー構造を有することになり、信号電流I_wをTFT2に取り込み、TFT1はカレントミラー比に従って電流を発光素子OLEDに流すと同時に、TFT1のゲートに発生した電圧をコンデンサCに保持する。走査線ScanA、ScanBによりTFT3、TFT4がOFF状態になると、TFT1とTFT2のカレントミラー構造は解除され、コンデンサCに保持された電圧に従ってTFT1が電流を発光素子OLEDに流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

【0016】

【発明が解決しようとしている課題】アクティブマトリックス型ディスプレイにおいて、能動素子である薄膜トランジスタは、通常、一枚のガラス基板上に同時にアモルファスシリコン或いはポリシリコンを用いて形成される。

【0017】しかしながら、アモルファスシリコン或いはポリシリコンを用いて形成されたTFTは、単結晶シリコンに比べて、結晶性が悪く、伝導機構の制御性が悪い為、その特性のばらつきが大きいことが知られている。従って、同一基板上に形成されたTFTでも、そのしきい値電圧V_{th}が画素毎によって数百mV、場合によっては1V以上ばらつくことも稀ではない。この場合、例えば異なる画素に対して同じ信号電位V_wを書き込んでも画素によってV_{th}がばらつきにより、OLE

Dに流れる電流が違えば、所望の輝度が得られずディスプレイとして高い画質を期待することができない。

【0018】従来例1（特開平8-234683号公報）の構成の場合は、この問題が顕著に表れやすい。また、従来例2（特開2001-56667号公報）は、しきい値電圧のバラツキ問題を解決しているが、信号電流を電圧に変換するときのTFT1のソース・ドレイン電圧 V_{ds} とOLEDに電流を供給しているときのソース・ドレイン電圧 V_{ds} が異なるため、トランジスタのアーリー効果によって信号電流を正確に発光素子に流すことができない。また、従来例3（特開2001-147659号公報）は、しきい値電圧のばらつきに関する問題をTFT1とTFT2で構成されるカレントミラーの誤差レベルにして低減しているが、根本的にばらつき問題を解決していない。さらに、TFT1のソース・ドレイン電圧 V_{ds1} とTFT2のソース・ドレイン電圧 V_{ds2} が異なるために、従来例2と同様に、トランジスタのアーリー効果によって信号電流を正確に発光素子に流すことができない。さらに、発光素子として有機EL素子を用いた場合には、有機EL素子の経時劣化によって発光素子の動作電圧が大きくなり、TFT1のソース・ドレイン電圧が十分に確保できず3極管領域で動作した場合に、所望の駆動電流から大きく外れた電流を発光素子に供給することになる。

【0019】本発明は、しきい値電圧 V_{th} のばらつきによる発光素子への供給電流のばらつき問題や、アーリー効果による影響の問題を解決し、高品質なディスプレイを実現するアクティブマトリクス型ディスプレイを提供することにある。

【0020】

【課題を解決するための手段】上記課題を解決するための第1の発明は、発光素子を少なくとも含む画素回路を備えた画素をマトリクス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリクス型ディスプレイであって、前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路と前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、前記データ側駆動回路は、制御回路と、基準電圧源と、選択スイッチ回路と、を少なくとも含み、(1-a)前記画素回路において、(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を

記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、(5)前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、(1-b)前記データ側駆動回路において、(1)前記制御回路は、前記モニタ電流に基づいて前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、(2)前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を出力する機能を有し、(3)前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路へ出力するかを選択する機能を有し、前記第1のスイッチ回路及び前記第2のスイッチ回路が共に導通状態にあり且つ前記第3のスイッチ回路が非導通状態にあり前記選択スイッチ回路により前記制御回路の出力が選択されているときに、前記モニタ電流に基づいて前記制御回路により前記第1の電圧制御電流源を制御する機能と、前記制御期間の直前の、少なくとも前記第3のスイッチ回路が導通状態にあり前記選択スイッチ回路により前記基準電圧源の出力が選択されているときに、前記発光素子の端子間電圧を所定の電圧値に制御する機能とを有することを特徴とする。

【0021】本発明は、上記第1の発明において、「前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、「前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていること」、をその好ましい態様として含むものである。

【0022】上記課題を解決するための第2の発明は、発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、を少なくとも含み、前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路を導通状態或いは非導通状態に制御する機能を有し、前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、入出力切り替えスイッチと、を少なくとも含み、(2-a)前記画素回路において、(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、(5)前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、(2-b)前記データ側駆動回路において、(1)前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、(2)前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路と同期動作して、前記画素回路からモニタ電流を入力する入力状態と前記画素回路へ制御電圧を出力する出力状態とに切り替える機能を有し、前記第1のスイッチ回路が非導通状態にあり且つ前記第2のスイッチ回路が導通状態にあるときに前記入出力切り替えスイッチを入力状態とし、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路が非導通状態にあるときに前記入出力切り替えスイッチ

を出力状態とし、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とする。

【0023】本発明は、上記第2の発明において、「前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うこと」、「前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路と接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、をその好ましい態様として含むものである。

【0024】上記課題を解決するための第3の発明は、発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、基準電圧源と、選択スイッチ回路と、入出力切り替えスイッチと、を少なくとも含み、(3-a)前記画素回路において、(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に

基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、(5)前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、(6)前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、(3-b)前記データ側駆動回路において、(1)前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、(2)前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を与える機能を有し、(3)前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路に出力するかを選択する機能を有し、(4)前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路と同期動作して、前記画素回路から前記モニタ電流を入力する入力状態と前記画素回路へ制御電圧又はリセット電位を出力する出力状態とに切り替える機能を有し、前記第2のスイッチ回路が非導通状態にあり且つ前記第3のスイッチ回路が導通状態にあるときに前記選択スイッチ回路により前記基準電圧源の出力を選択して、前記リセット電位を前記画素回路に出力して前記発光素子の端子間電圧を所定の電圧値に制御し、前記第2のスイッチ回路が導通状態にあり且つ前記第1のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチを入力状態として、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチは出力状態とし前記選択スイッチ回路により前記制御回路の出力を選択して、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とする。

【0025】本発明は、上記第3の発明において、「前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うこと」「前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデ

ンサからなり、前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、「前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていること」、をその好ましい態様として含むものである。

【0026】また本発明は、上記第1から第3の発明において、「前記駆動電流電圧変換素子と前記第2の電圧制御電流源とは、絶縁ゲート型電界効果トランジスタで構成されたカレントミラー構造であること」、「絶縁ゲート型電界効果トランジスタは同一基板上に形成された薄膜トランジスタであること」、をその好ましい態様として含むものである。

【0027】本発明において好ましく用いられる発光素子である有機EL素子(OLED)は、等価回路では自己放電回路を持つ容量性素子であると考えられる。図12の点線で囲んだ7の部分である。6の部分は自己放電回路である。

【0028】そこで、例えば、画素サイズが $100\mu\text{m} \times 300\mu\text{m}$ で、1画素あたりのOLEDが持つ容量値を 60pF とし、電圧電流特性を図13に示す特性((A)は縦軸(電流)を実数で表現、(B)は縦軸(電流)を対数で表現)であると仮定した場合、図12に示す実験回路で駆動電流 I_0 を $10\mu\text{A}$ として、SW1をON状態で $10\mu\text{A}$ の電流を注入し安定状態になった後、SW1をOFF状態にした時のOLEDのアノード端の電圧変化に対するシミュレーションを行った。図14がその結果である。図14の横軸は時間軸であり、時間 0sec でSW1がOFFに変化した時の(アノード-カソード間電圧)の電圧変化を縦軸に示している。この結果は、最大輝度レベルから最小輝度レベルに変化した場合、駆動電流設定制御時間内(走査時間内)に制御が完全に収束しないという可能性があることを示している。本発明のように基準電圧源によりOLEDに蓄えられた電化を速やかに放電させることによって、このような課題をも解決することができる。

【0029】

【発明の実施の形態】本発明において、トランジスタの第1端子、第2端子とは、ゲート端子以外の2端子、即ちソース端子とドレイン端子とのいずれかを表しており、回路を流れる電流の方向、トランジスタのP型、N型などの条件によって、第1、第2端子のどちらがソース端子、ドレイン端子となるかは異なるが、説明の便宜

上、以下に示す夫々の実施の形態においては電流の方向を片方に仮定して、ソース、ドレインのいずれかとなる2端子をソース、ドレインと固定して表すこととする。

【0030】また、発光素子の第1端子、第2端子や、コンデンサの第1端子、第2端子は、それぞれ2端子のうちのいずれかを表しており、これも上記トランジスタの説明と同様で具体的な回路構成によって適宜極性等を選択する。

【0031】さらに、発光素子として、大面積化、フルカラー化が容易などの利点を有する有機EL素子(OLEED)を用いた好ましい形態を示すが、発光素子は必ずしもOLEEDに限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、必ずしも整流特性が要求されるものでもない。

【0032】(実施の形態1)図1は本発明のアクティブマトリックス型ディスプレイの実施の形態1に含まれる回路構成を示す構成図である。

【0033】まず、本実施の形態の構成を説明する。

【0034】画素回路1は、第1のn型薄膜トランジスタT1のソースにOLEEDのアノードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第2のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第1のp型薄膜トランジスタT2のドレインとゲート及び第2のp型薄膜トランジスタT3のゲートが接続されている。OLEEDのカソードとコンデンサの他端はGNDに接続されている。T2、T3のソースは電源電位V_{dd}に接続されている。T3のドレインは第3のn型薄膜トランジスタT5のドレインが接続されT5のソースからモニタ電流I_mが出力される。T4のソースが制御電圧入力端子となる。なお、T4、T5は電気的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。本実施の形態が示す構造において、T2とT3は、カレントミラー構造に成っていると書いてもよい。

【0035】上記構成に、さらに、第4のn型薄膜トランジスタT6のドレインをOLEEDのアノード端に接続し、T6のソースをT1のゲートに接続している。T6のゲートには前記走査側駆動回路から出力されている制御信号ScanCが入力されている。T6はスイッチとして動作する。なお、T6のソースはT4のソース側に接続する形態も可能であるが、本実施の形態のようにT1のゲートとソースとに接続されることが好ましい。これにより、リセット期間にはT1のゲート、ソース間の電圧は0となり、駆動電流は流れないので発光素子の不要な発光を防ぐことが出来る。

【0036】これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態3では、薄膜トランジスタT1とコンデンサCとが第1の電圧制御電流源に、薄膜トランジスタT2が駆動電流電圧変換素子に、薄膜トランジスタT3が第2の電圧制御電流源に、薄膜トランジスタT4が第1のスイッチ回路に、薄膜トランジスタT5が第2のスイッチ回路に、薄膜トランジスタT6が第3のスイッチ回路に、それぞれ対応している。

【0037】データ側駆動回路2は、輝度情報を持つ基準電流I_rを抵抗R1に流し電圧V_rを発生させ、画素回路1から出力されたモニタ電流I_mを抵抗R2に流し電圧(モニタ電圧)V_mを発生させ、電圧比較回路AMP1の正極入力端子にV_rを、負極入力端子にV_mを入力し、AMP1の出力は第1のnMOSTランジスタM1のソースと接続されている。M1のドレインは第2のnMOSTランジスタM2のドレインと信号線V_wを介して画素回路1のT4のソースに接続されている。M2のソースには基準電圧源V_sが接続されている。この基準電圧源V_sはGND電位を基準に作られており、電圧V_sはOLEEDの端子間の電圧を発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEEDの動作電圧V_{on}に等しい電圧を与えることが望ましい。この基準電圧源を用いてOLEEDの蓄える電荷を急速に放出させることで、速やかに輝度を変化させることが出来、高速性が改善される。

【0038】これらのデータ側駆動回路の構成要素において、本実施の形態及び下記の実施の形態3では、電圧比較回路AMP1と抵抗R1、R2と基準電流源I_rとが制御回路に、MOSTランジスタM1、M2が選択スイッチ回路に、それぞれ対応している。

【0039】次に本実施の形態の動作を説明する。

【0040】まず、所望の輝度で画素を発光させる為の駆動電流設定制御を行う前に、OLEEDのアノード端を制御初期電圧設定制御を行う。

【0041】OLEED初期電圧設定制御は、まず、データ側駆動回路内の制御信号S1をロウレベルにしM1をOFF状態にし、制御信号S2をハイレベルにしM2をON状態にする。次に、走査信号ScanBをハイレベルにしT4をON状態にした後、走査信号ScanCをハイレベルにしてT6をON状態にする。この状態でT1のゲート電圧及びOLEEDのアノード端電圧はV_sに設定することができる。また、T1のゲート・ソース間電圧が0Vなので、T1のソース・ドレイン間に流れる電流は0Aである。また、OLEED初期電圧設定制御終了にあたっては、走査信号ScanCをロウレベルにしT6をOFF状態にした後、制御信号S2をロウレベルにしM2をOFF状態にする。

【0042】そして、T4がON状態のまま、駆動電流設定制御に移行する。

【0043】駆動電流設定制御では、駆動電流を決定する制御電圧(T1のゲート電圧)を設定する。

【0044】この制御を開始するにあたって、まず、走査信号ScanAをハイレベルにしT5をON状態にした後、制御信号S1をハイレベルにしM1をON状態にし、制御可能状態にする。なお、この制御で決定される制御電圧は、OLEDの発光時の動作電圧VonにT1のゲート・ソース間電圧Vgsを加算した電圧となる。

【0045】制御可能状態になったならば、データ側駆動回路内2のAMP1の出力電圧Vwを、T4を介してT1のゲートに与えたときにOLEDに流れる電流IdをT1のソース側に設置されたT2、T3で構成されるカレントミラーで検出し、この検出された電流をデータ側駆動回路2にモニタ電流Imとして渡す。データ側駆動回路2では、輝度情報を持つ基準電流Idが抵抗R1によって電圧Vrに変換され、また、モニタ電流Imが抵抗R2によって電圧Vmに変換され、VrとVmが等しくなるようにAMP1の出力電圧Vwを制御する。VrとVmが等しくなったとき、OLEDに流れる電流Idは、所望の輝度を得る為に必要な駆動電流になっている。なお、AMP1の出力電圧VwをT1のゲートに書き込むと同時にこれに接続されたコンデンサCにもその電圧Vwを書き込む。

【0046】駆動電流が設定されたならば、走査信号ScanBをロウレベルにしT4をOFF状態(非導通状態)にした後、走査信号ScanAをロウレベルにしT5をOFF状態(非導通状態)にする。この状態では、データ側駆動回路2からの駆動電流設定制御は行われず、画素回路1のコンデンサCに記録された電圧Vwは保持され、この保持された電圧VwによってT1のゲート電圧が制御され駆動電流IdをOLEDに供給しつづける。

【0047】なお、制御電圧をコンデンサCに正確に書き込む為には、制御終了時に走査信号ScanA、ScanBの変化を同時に行わず、先に説明した順番をもって行うことが望ましい。

【0048】以上説明した本実施の形態の構成を用いると、所望の光量が得られる電流値が発光素子に流れるようにOLEDの発光時の動作電圧Vonと駆動電流発生トランジスタのVgsを加算した電圧を制御するので、駆動電流発生トランジスタのしきい値電圧Vth及びOLEDの動作電圧Vonが共にばらついても各画素ごとの輝度が変わるといった問題は発生しない。また、駆動電流設定時と保持時では、駆動電流が流れる経路に変化が無いので、駆動電流発生トランジスタのアーリー効果に関しては完全に関係ないものになっている。

【0049】さらに、駆動電流を発生するトランジスタのソース・ドレイン電圧が、OLEDの発光動作時のアノード・カソード端電圧(ON電圧)が輝度によって大きく変化したり、あるいは、経時劣化によってON電圧

が大きく上昇して十分に取れず3極管領域での動作状態になったとしても、安定且つ正確に駆動電流をOLEDに供給することができる。

【0050】また、配線の寄生容量に対してモニタ電流Imが小さく、制御が安定に行えない危険性がある場合は、T2、T3のカレントミラーのミラー比を適切に設計し、これに伴い、データ側駆動回路内の抵抗値を変更すればよい。

【0051】さらに、本実施の形態の説明では、輝度情報を基準電流Irに持たせたが、これに限らず、基準電流Irを一定にし、抵抗R1の抵抗値を可変することで、輝度情報に応じた発光輝度を制御することも可能であるし、基準電流Ir及び抵抗R1の抵抗値を一定にし、抵抗R2の抵抗値を可変し発光輝度を制御することも可能である。

【0052】また、本実施の形態における画素回路のT4、T5はn型薄膜トランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p型薄膜トランジスタを用いても構わない。ただし、p型薄膜トランジスタを使用した場合、反転した制御信号をゲートに入力しなければならない。

【0053】なお、本実施の形態では、アモルファスシリコン或いはポリシリコンを用いた絶縁ゲート型薄膜トランジスタを念頭において説明してきたが、必ずしもシリコン系材料によるトランジスタを使用することに限らず、化合物半導体或いは有機半導体などで形成されたトランジスタでも同様の効果を得ることができるのであれば、本発明に用いるトランジスタの種類は限定されるものでない。

【0054】(実施の形態2) 本実施の形態は、実施の形態1で示した回路構成を持つアクティブマトリックス型ディスプレイの全体の構成を示すものである。図10はその構成図であり、図11は本実施の形態のアクティブマトリックス型ディスプレイの動作を説明する為のタイミングチャートである。

【0055】図10では、M×N個の画素を有するディスプレイの一部を示している。データ線方向に並ぶ画素回路(図10中では縦方向に並ぶ画素回路)のVw端子は全て接続されており、同様にVm端子も全て接続され、データ側駆動回路に接続されている。また、走査線方向に並ぶ画素回路(図10中では横方向に並ぶ画素回路)のScanA、ScanBは各々全て走査側駆動回路のScanA、ScanBに接続されている。なお、走査側駆動回路とデータ側駆動回路は、同期して動作する必要があるため、タイミングの制御を行う信号供給回路5が設置されている。輝度情報のデータ(Data)とクロック(Ck)は、まず信号供給回路5に入力され、Dataはデータ側駆動回路2に、Ckはデータ側駆動回路2と走査側駆動回路3に出力される。

【0056】本実施の形態での動作を説明する。

【0057】まず、1ライン目の走査が開始すると、まず走査信号ScanAはハイレベルになり、同時にデータ側駆動回路内の基準電流源は画像情報に基づいた電流値を設定する。つぎに走査信号ScanBはハイレベルになり、選択された各画素回路は駆動電流設定制御が開始される。

【0058】規定時間内で1ライン目の駆動電流設定制御は終了し、続いて2ライン目の制御が行われる。制御終了は、まず走査信号ScanBをロウレベルにし、つづいて走査信号ScanAがロウレベルになる。これと同時に2ライン目の動作が開始される。駆動電流設定制御が終了し、次の走査まで、画素回路ではコンデンサに保持された電圧に基づいて駆動電流がOLEDに供給されOLEDは発光しつづける。

【0059】本実施の形態における制御信号のタイミングは、図11に示す関係が望ましい。

【0060】各画素の発光動作の詳細な説明は、実施の形態1に示しているので、ここでは省略する。

【0061】なお、本実施の形態においては実施の形態1で示した回路構成を持つアクティブマトリクス型ディスプレイを示したが、以下の実施の形態3～7に示す構成の回路を用いても、同様にしてアクティブマトリクス型ディスプレイを作製し、動作させることができる。

【0062】(実施の形態3) 図2は本発明のアクティブマトリクス型ディスプレイの実施の形態3に含まれる回路構成を示す構成図である。

【0063】本実施の形態の実施の形態1との違いは、OLEDを電源電位側に配置したことである。まず、本実施の形態の構成を説明する。

【0064】画素回路1は、第1のp型薄膜トランジスタT1のソースにOLEDのカソードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第1のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第2のn型薄膜トランジスタT2のドレインとゲート及び第3のn型薄膜トランジスタT3のゲートが接続されている。OLEDのアノードとコンデンサの他端は電源電位Vddに接続されている。T2、T3のソースはGNDに接続されている。T3のドレインは第4のn型薄膜トランジスタT5のソースが接続されT5のドレインからモニタ電流Imが出力される。T4のソースが制御電圧入力端子となる。なお、T4、T5は電気的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。本実施の形態が示す構造において、T2とT3は、カレントミラー構造になっていると

言ってもよい。

【0065】上記構成に、さらに、第5のn型薄膜トランジスタT6のドレインをOLEDのカソードに接続し、T6のソースをT1のゲートに接続されている。T6のゲートには前記走査側駆動回路から出力されている走査信号ScanCが入力されている。T6はスイッチとして動作する。

【0066】データ側駆動回路2は、輝度情報を持つ基準電流Irを抵抗R1に流し電圧Vrを発生させ、画素回路1から出力されたモニタ電流Imを抵抗R2に流し電圧(モニタ電圧)Vmを発生させ、電圧比較回路AMP1の正極入力端子にVrを、負極入力端子にVmを入力し、AMP1の出力は第1のnMOSTランジスタM1のソースと接続されている。M1のドレインは第2のnMOSTランジスタM2のドレインと信号線Vwを介して画素回路1のT4のソースに接続されている。M2のソースには基準電圧源Vsが接続されている。この基準電圧源Vsは電源電位Vddを基準に作られており、電圧VsはOLEDの端子間電圧を発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧Vonに等しい電圧を与えることが望ましい。

【0067】本実施の形態の動作は、極性の変化に注意すれば実施の形態1の動作方法と同様の方法で可能であるので説明は省略する。

【0068】以上に示した本実施の形態の構成を用いることで、実施の形態1と同様な効果が得られる。

【0069】モニタ電流の小さい場合の対処に対しても、実施の形態1と同様にカレントミラー比を適切に設計すればよい。

【0070】本実施の形態の説明でも輝度情報を基準電流Irに持たせたが、この限りでなく実施の形態1で示したように、抵抗に持たせても構わない。

【0071】また、本実施の形態で画素回路のT4、T5、T6、及び、データ側駆動回路内のM1、M2はn型のトランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p型のトランジスタを用いても構わない。ただし、p型のトランジスタを使用した場合は、反転した制御信号をゲートに入力しなければならない。

【0072】なお、使用するトランジスタの種類に関しては、実施の形態1と同様である。

【0073】(実施の形態4) カラーディスプレイの単色1画素あたりの大きさを考えると、約300μm(縦)×約100μm(横)程度となり、これを考慮すると、走査線、データ線はできる限り少ない方が望ましい。本実施の形態はこれを考慮した本発明の具体的な実施形態である。

【0074】図3は本発明のアクティブマトリクス型ディスプレイの実施の形態4に含まれる回路構成を示す

構成図である。

【0075】まず、本実施の形態の画素回路1の構成を説明する。

【0076】画素回路1は、第1のn型薄膜トランジスタT1のソースにOLEDのアノードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第2のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第1のp型薄膜トランジスタT2のドレインとゲート及び第2のp型薄膜トランジスタT3のゲートが接続されている。OLEDのカソードとコンデンサの他端はGNDに接続されている。T2、T3のソースは電源電位Vddに接続されている。T3のドレインは第3のn型薄膜トランジスタT5のドレインが接続されている。T4のソースとT5のソースは短絡しており、画素回路1から出力される信号線は1本であり、この信号線名をVcとする。なお、T4、T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路（図中に記載していない）から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。本実施の形態が示す構造において、T2とT3は、カレントミラー構造に成っていると言ってもよい。

【0077】これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態5では、薄膜トランジスタT1とコンデンサCとが第1の電圧制御電流源に、薄膜トランジスタT2が駆動電流電圧変換素子に、薄膜トランジスタT3が第2の電圧制御電流源に、薄膜トランジスタT4が第1のスイッチ回路に、薄膜トランジスタT5が第2のスイッチ回路に、それぞれ対応している。

【0078】データ側駆動回路内2の構成を説明する。

【0079】画素回路1と接続されている信号線Vcは、第1のnMOSTランジスタM1のドレインと第2のnMOSTランジスタM2のドレインに接続されている。M1のゲートには制御信号S1が、M2のゲートには制御信号S2が入力されている。M1のソースは抵抗R2とサンプルホールド回路4に接続され、抵抗R2の他端はGNDに接続されている。サンプルホールド回路4には制御信号SHが入力されている。サンプルホールド回路4の出力は電圧比較回路AMP1の負入力端子に接続されている。AMP1の出力はM2のソースに接続されている。また、輝度情報を持つ基準電流Irは抵抗R1とAMP1の正入力端子に接続され、抵抗R1の他端はGNDに接続されている。なお、AMP1はMOSTランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。本実施の形態の構成では、M1、M2はスイッチ回路として動作する。

【0080】これらのデータ側駆動回路の構成要素にお

いて、本実施の形態及び下記の実施の形態5では、電圧比較回路AMP1とサンプルホールド回路4と抵抗R1、R2と基準電流源Irとが制御回路に、MOSTランジスタM1、M2が入出力切り替えスイッチに、それぞれ対応している。

【0081】先述したデータ側駆動回路内のサンプルホールド回路4の構成は、例えば、図6に示す構成で実現できる。

【0082】図6に示すサンプルホールド回路の説明をする。

【0083】入力端子となるVinは第1のnMOSTランジスタTs1のゲートに入力されている。Ts1のソースは第2のnMOSTランジスタTs2のソースと第3のnMOSTランジスタTs3のドレインに接続されている。Ts3のソースはGNDに接続され、Ts3のドレインに所望の定電流が発生できるようにTs3のゲートには電圧V1が入力されている。Ts1のドレインは第1のpMOSTランジスタTs4のドレインとゲート及び第2のpMOSTランジスタTs5のゲートに接続されている。Ts4、Ts5のソースは電源電位Vddに接続されている。Ts2のドレインはTs2のゲート及びTs5のドレインに及び第4のnMOSTランジスタTs6のドレインに接続されている。Ts6のソースにはコンデンサCsが接続されておりこの端が出力となる。Ts6のゲートには制御信号S3が入力されている。

【0084】この構造で、入力された電圧Vinと等しい電圧がTs2のゲートに出力される。Ts6が制御信号S3によってON状態のとき、入力電圧Vinと等しい電圧が出力端子に出力されて、これと同時にコンデンサCsにもその電圧が書き込まれる。Ts6が制御信号S3によってOFF状態のとき、コンデンサCsの電圧は直前に書き込まれた電圧を保持される。

【0085】次に、本実施の形態の動作の一例を、図5に示すタイミングチャートを用いて説明する。

【0086】時間tcは走査選択時間であり、すなわち駆動電流設定制御可能時間である。この時間内には、輝度情報変換時間tsと駆動電流設定制御時間tn（n=1～5）があり、時間tn（n=1～5）はモニタ電流サンプリング時間tan（n=1～5）と制御電圧書き込み時間tbn（n=1～5）で構成されている。本実施の形態ではn=1～5となっているが、この限りでなく、時間の許す限り何度行っても良い。

【0087】まず、tsの時間では、輝度情報により基準電流Irが変化し、これに伴い電圧Vrも変化する。

【0088】次に、ta1の時間では、

ScanA=ハイレベル	→T5=ON
ScanB=ロウレベル	→T4=OFF
S1=ハイレベル	→M1=ON
S2=ロウレベル	→M2=OFF
SH=ハイレベル	→サンプリング状態

となる。この状態で、画素回路からのモニタ電流 I_m がデータ側駆動回路内でモニタ電圧 V_m に変換され、電圧比較回路 AMP 1 の負入力端子にサンプリング電圧 V_m が入力される。この時点では、画素内のコンデンサに書き込まれた電圧情報は、前回の情報から変化していないので、 V_m と V_r には大きな電位差がある。この電位差に基づいて電圧比較器 AMP 1 は V_m が V_r と等しくなるように強力な制御指令を発生させる。すなわち、AMP 1 の出力端をチャージポンプ構成になっていたならば、AMP 1 の出力はチャージポンプを構成する 2 つの電流源の差電流となり、強力な制御指令というのは差電流が最大ということである。

【0089】続いて t_{b1} の時間では、

ScanA=ロウレベル	→T5=OFF
ScanB=ハイレベル	→T4=ON
S1=ロウレベル	→M1=OFF
S2=ハイレベル	→M2=ON
SH=ロウレベル	→ホールド状態

となり、AMP 1 の出力信号（制御信号）を画素回路の T1 のゲート及びコンデンサに書き込み、これに従って駆動電流 I_d が変化する。書き込む時間は t_x で与えられ、この時間の大きさによって制御利得が決まる。

【0090】続いて t_{a2} の時間では、 t_{a1} の時間と同様に、

ScanA=ハイレベル	→T5=ON
ScanB=ロウレベル	→T4=OFF
S1=ハイレベル	→M1=ON
S2=ロウレベル	→M2=OFF
SH=ハイレベル	→サンプリング状態

となり、モニタ電流 I_m がモニタ電圧 V_m に変換され、モニタ電圧 V_m がサンプリングされる。このとき、 t_{b1} の時間で画素回路のコンデンサの電圧が書き換わった為、 V_m と V_r との電位差は、 t_{a1} の時間のときに比べ小さくなっているので AMP 1 の出力は先ほどに比べると弱い制御指令を発生している。

【0091】続いて t_{b2} の時間で再び t_{b1} と同様に、

ScanA=ロウレベル	→T5=OFF
ScanB=ハイレベル	→T4=ON
S1=ロウレベル	→M1=OFF
S2=ハイレベル	→M2=ON
SH=ロウレベル	→ホールド状態

となり、画素回路の T1 のゲート及びコンデンサに AMP 1 の出力信号を書き込む。しかしながら、 t_{b1} のときに比べ、AMP 1 の出力信号（制御指令）は弱くなっているため同じ t_x の時間で変化する駆動電流の変化量は少なくなっている。

【0092】同様に $t_{a3} \rightarrow t_{b3} \rightarrow t_{a4} \rightarrow t_{b4}$ と順次制御を繰り返して、目標値に収束していく。

【0093】本実施の形態を示す図5のように、例え

ば、 t_{a5} の時間で V_m と V_r が等しくなったと判定されたならば、 t_{b5} では AMP 1 からの制御出力は前回の制御電圧を保持するといった状態になる。

【0094】以上説明した本実施の形態の構成を用いれば、実施の形態1と同様に、アーリー効果の影響を受けることなく、しかも安定且つ正確に駆動電流を OLED に供給することができる。

【0095】また、画素回路から出力されたモニタ電流の検出と駆動電流設定電圧制御をサンプリングホールド回路を用いて順次交互に繰り返して行うことにより、所望の輝度を得る為に必要な駆動電流を設定することができる。そして、これにより画素回路とデータ側駆動回路とを繋ぐ信号線を1本にすることができる。

【0096】なお、制御信号をコンデンサ C に正確に書き込む為には、図5で示すような順番でスイッチ動作することが望ましい。

【0097】また、本実施の形態で画素回路の T4、T5、及び、データ側駆動回路内の M1、M2 は n 型のトランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p 型のトランジスタを用いても構わない。ただし、p 型のトランジスタを使用した場合は、反転した制御信号をゲートに入力しなければならない。

【0098】モニタ電流の小さい場合の対処に対しても、実施の形態1と同様にカレントミラー比を適切に設計すればよい。

【0099】本実施の形態の説明でも輝度情報を基準電流 I_r に持たせたが、この限りでなく実施の形態1で示したように、抵抗に持たせても構わない。

【0100】なお、使用するトランジスタの種類に関しては、実施の形態1と同様である。

【0101】（実施の形態5）図4は本発明のアクティブマトリックス型ディスプレイの実施の形態5に含まれる回路構成を示す構成図である。

【0102】本実施の形態の実施の形態4との違いは、OLED を電源電位側に配置したことである。動作概念は実施の形態4と同じなので、本実施の形態の構成のみを説明する。

【0103】画素回路1の構成は、第1のp型薄膜トランジスタ T1 のソースに OLED のカソードが接続されており、ソースフォロアを構成している。また、T1 のゲートにはコンデンサ C の一端と第1のn型薄膜トランジスタ T4 のドレインが接続されており、T1 のドレインには第2のn型薄膜トランジスタ T2 のドレインとゲート及び第3のn型薄膜トランジスタ T3 のゲートが接続されている。OLED のアノードとコンデンサの他端は電源電位 V_{dd} に接続されている。T2、T3 のソースは GND に接続されている。T3 のドレインは第4のn型薄膜トランジスタ T5 のソースが接続されている。T4 のソースと T5 のドレインは短絡しており、画素回

路 1 から出力される信号線は 1 本であり、この信号線名を V_c とする。なお、 T_4 、 T_5 は電氣的に導通状態かいは非導通状態になるスイッチ動作をするものである。 T_5 のゲートには画素領域外部に設置された走査側駆動回路（図中に記載していない）から出力される制御信号 $ScanA$ が入力されており、 T_4 のゲートには前記走査側駆動回路から出力される制御信号 $ScanB$ が入力されている。本実施の形態が示す構造において、 T_2 と T_3 は、カレントミラー構造に成っているとよい。

【0104】データ側駆動回路 2 の構成を説明する。

【0105】画素と接続されている信号線 V_c は、第 1 の n MOST トランジスタ M_1 のソースと第 2 の n MOST トランジスタ M_2 のドレインに接続されている。 M_1 のゲートには制御信号 S_1 が、 M_2 のゲートには制御信号 S_2 が入力されている。 M_1 のドレインは抵抗 R_2 とサンプルホールド回路 4 に接続され、抵抗 R_2 の他端は電源電位 V_{dd} に接続されている。サンプルホールド回路 4 には制御信号 SH が入力されている。サンプルホールド回路 4 の出力は電圧比較回路 AMP_1 の負入力端子に接続されている。 AMP_1 の出力は M_2 のソースに接続されている。また、輝度情報を持つ基準電流 I_r は抵抗 R_1 と AMP_1 の正入力端子に接続され、抵抗 R_1 の他端は電源電位 V_{dd} に接続されている。なお、 AMP_1 は $MOST$ トランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。本実施の形態の構成では、 M_1 、 M_2 はスイッチ回路として動作する。

【0106】サンプルホールド回路 4 の構成は、実施の形態 4 と同様に、例えば、図 6 に示す構成で実現できる。

【0107】本実施形態においても、実施の形態 4 と同様の効果が得られる。

【0108】また、構成の変更についても実施の形態 4 と同様に可能である。

【0109】（実施の形態 6）図 7 は本発明のアクティブマトリックス型ディスプレイの実施の形態 6 に含まれる回路構成を示す構成図である。

【0110】まず、本実施の形態の画素回路 1 の構造を説明する。

【0111】画素回路 1 は、第 1 の n 型薄膜トランジスタ T_1 のソースに $OLED$ のアノードが接続されており、ソースフォロアを構成している。また、 T_1 のゲートにはコンデンサ C の一端と第 2 の n 型薄膜トランジスタ T_4 のドレインが接続されており、 T_1 のドレインには第 1 の p 型薄膜トランジスタ T_2 のドレインとゲート及び第 2 の p 型薄膜トランジスタ T_3 のゲートが接続されている。 $OLED$ のカソードとコンデンサの他端は GND に接続されている。 T_2 、 T_3 のソースは電源電位 V_{dd} に接続されている。 T_3 のドレインは第 3 の n 型薄膜トランジスタ T_5 のドレインが接続されている。 T

4 のソースと T_5 のソースは短絡しており、画素回路 1 から出力される信号線は 1 本であり、この信号線名を V_c とする。なお、 T_4 、 T_5 は電氣的に導通状態かいは非導通状態になるスイッチ動作をするものである。 T_5 のゲートには画素領域外部に設置された走査側駆動回路（図中に記載していない）から出力される制御信号 $ScanA$ が入力されており、 T_4 のゲートには前記走査側駆動回路から出力される制御信号 $ScanB$ が入力されている。

【0112】以上までの構成は、実施の形態 4 と同様である。本実施の形態は、この構成に、さらに、第 4 の n 型薄膜トランジスタ T_6 のドレインを $OLED$ のアノード端に接続し、 T_6 のソースを T_1 のゲートに接続している。 T_6 のゲートには前記走査側駆動回路から出力されている制御信号 $ScanC$ が入力されている。 T_6 はスイッチとして動作する。なお、本実施の形態が示す構造において、 T_2 と T_3 は、カレントミラー構造に成っているとよい。

【0113】これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態 7 では、薄膜トランジスタ T_1 とコンデンサ C とが第 1 の電圧制御電流源に、薄膜トランジスタ T_2 が駆動電流電圧変換素子に、薄膜トランジスタ T_3 が第 2 の電圧制御電流源に、薄膜トランジスタ T_4 が第 1 のスイッチ回路に、薄膜トランジスタ T_5 が第 2 のスイッチ回路に、薄膜トランジスタ T_6 が第 3 のスイッチ回路に、それぞれ対応している。

【0114】画素領域外部に設置されたデータ側駆動回路 2 について説明する。

【0115】画素回路 1 と接続されている信号線 V_c は、第 1 の n MOST トランジスタ M_1 のドレインと、第 2 の n MOST トランジスタ M_2 のドレインと、第 3 の n MOST トランジスタ M_3 のドレインに接続されている。 M_1 のゲートには制御信号 S_1 が、 M_2 のゲートには制御信号 S_2 が、 M_3 のゲートには制御信号 S_3 が入力されている。 M_1 のソースは抵抗 R_2 とサンプルホールド回路 4 に接続され、 R_2 の他端は GND に接続されている。サンプルホールド回路 4 には制御信号 SH が入力されている。サンプルホールド回路 4 の出力は電圧比較回路 AMP_1 の負入力端子に接続されている。 AMP_1 の出力は M_2 のソースに接続されている。また、輝度情報を持つ基準電流 I_r は抵抗 R_1 と AMP_1 の正入力端子に接続され、抵抗 R_1 の他端は GND に接続されている。なお、 AMP_1 は $MOST$ トランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。 M_3 のソースには基準電圧源 V_s が接続されている。この基準電圧源 V_s は GND 電位を基準に作られており、電圧 V_s は $OLED$ の発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的な $OLED$ の動作電圧 V_{on} に等しい電圧を与えることが望ましい。

【0116】サンプルホールド回路4は、例えば、図6に示す構造を用いて構わない。

【0117】これらのデータ側駆動回路の構成要素において、本実施の形態及び下記の実施の形態7では、電圧比較回路AMP1とサンプルホールド回路4と抵抗R1、R2と基準電流源I_rとが制御回路に、MOSトランジスタM1、M2が入出力切り替えスイッチに、MOSトランジスタM2、M3が選択スイッチ回路に、それぞれ対応している。即ち、本実施の形態及び下記の実施の形態7では、M2は2つのスイッチの構成要素を兼ねる構成となっている。

【0118】次に、本実施の形態の動作の一例を、図9に示すタイミングチャートを用いて説明する。

【0119】時間t_cは走査選択時間であり、すなわち駆動電流設定制御可能時間である。この時間内には、輝度情報変換およびOLEDアノード端電圧設定時間t_sと駆動電流設定制御時間t_n (n=1~5)があり、時間t_nはモニタ電流サンプリング時間t_{an} (n=1~5)と制御電圧書き込み時間t_{bn} (n=1~5)で構成されている。本実施の形態ではn=1~5となっているが、この限りでなく、時間の許す限り何度行っても良い。

【0120】まず、t_sの時間で、

ScanA=ロウレベル	→T5=OFF
ScanB=ハイレベル	→T4=ON
ScanC=ハイレベル	→T6=ON
S1=ロウレベル	→M1=OFF
S2=ロウレベル	→M2=OFF
S3=ハイレベル	→M3=ON
SH=ロウレベル	→ホールド状態

となり、データ側駆動回路内では、基準電流I_rが変化し、これに伴い電圧V_rも変化する。これと同時に、OLEDのアノード端電圧を電圧V_sに設定する制御が行われる。

【0121】続いて、t_{a1}の時間で、

ScanA=ハイレベル	→T5=ON
ScanB=ロウレベル	→T4=OFF
ScanC=ロウレベル	→T6=OFF
S1=ハイレベル	→M1=ON
S2=ロウレベル	→M2=OFF
S3=ロウレベル	→M3=OFF
SH=ハイレベル	→サンプリング状態

となる。この状態で、画素回路からのモニタ電流I_mがデータ側駆動回路内でモニタ電圧V_{m0}に変換され、電圧比較回路AMP1の負入力端子にサンプリング電圧V_mが入力される。この時点では、画素内のコンデンサに書き込まれた電圧情報は、前回の情報のから変化していないので、V_mとV_rには大きな電位差がある。

【0122】この電位差に基づいて電圧比較器AMP1はV_mがV_rと等しくなるように強力な制御指令を発生

させる。すなわち、AMP1の出力端をチャージポンプ構成にしていたならば、AMP1の出力はチャージポンプを構成する2つの電流源の差電流となり、強力な制御指令というのは差電流が大きいということである。

【0123】続いてt_{b1}の時間で、

ScanA=ロウレベル	→T5=OFF
ScanB=ハイレベル	→T4=ON
ScanC=ロウレベル	→T6=OFF
S1=ロウレベル	→M1=OFF
S2=ハイレベル	→M2=ON
S3=ロウレベル	→M3=OFF
SH=ロウレベル	→ホールド状態

となり、AMP1の出力信号(制御信号)を画素回路のT1のゲート及びコンデンサに書き込み、これに従って駆動電流I_dが変化する。書き込む時間はt_xで与えられ、この時間の大きさによって制御利得が決まる。

【0124】続いてt_{a2}の時間では、t_{a1}の時間と同様に、

ScanA=ハイレベル	→T5=ON
ScanB=ロウレベル	→T4=OFF
ScanC=ロウレベル	→T6=OFF
S1=ハイレベル	→M1=ON
S2=ロウレベル	→M2=OFF
S3=ロウレベル	→M3=OFF
SH=ハイレベル	→サンプリング状態

となり、モニタ電流I_mがモニタ電圧V_mに変換され、モニタ電圧V_mがサンプリングされる。このとき、t_{b1}の時間で画素回路のコンデンサの電圧が書き換わった為、V_mとV_rとの電位差は、t_{a1}の時間のときに比べ小さくなっているためAMP1の出力は先ほどに比べると弱い制御指令を発生している。

【0125】続いてt_{b2}の時間で再びt_{b1}と同様に、

ScanA=ロウレベル	→T5=OFF
ScanB=ハイレベル	→T4=ON
ScanC=ロウレベル	→T6=OFF
S1=ロウレベル	→M1=OFF
S2=ハイレベル	→M2=ON
S3=ロウレベル	→M3=OFF
SH=ロウレベル	→ホールド状態

となり、画素回路のT1のゲート及びコンデンサにAMP1の出力信号を書き込む。しかしながら、t_{b1}のときに比べ、AMP1の出力信号(制御指令)は弱くなっているため同じt_xの時間で変化できる駆動電流の変化量は少なくなっている。

【0126】同様にt_{a3}→t_{b3}→t_{a4}→t_{b4}と順次制御を繰り返し、目標値に収束していく。

【0127】本実施の形態を示す図5のように、例えば、t_{a5}の時間でV_mとV_rが等しくなったと判定されたならば、t_{b5}ではAMP1からの制御出力は前回

の制御電圧を保持するといった状態になる。

【0128】本実施の形態によれば、実施の形態1の効果と、実施の形態4の効果との両方の効果が得られる。

【0129】また、構成の変更についても実施の形態1や4と同様に可能である。

【0130】(実施の形態7) 図8は本発明のアクティブマトリックス型ディスプレイの実施の形態7に含まれる回路構成を示す構成図である。

【0131】本実施の形態の実施の形態6との違いは、OLEDを電源電位側に配置したことである。動作概念は実施の形態6と同じなので、本実施の形態の構成のみを説明する。

【0132】画素回路1の構成は、第1のp型薄膜トランジスタT1のソースにOLEDのカソードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第1のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第2のn型薄膜トランジスタT2のドレインとゲート及び第3のn型薄膜トランジスタT3のゲートが接続されている。OLEDのアノードとコンデンサの他端は電源電位V_{dd}に接続されている。T2、T3のソースはGNDに接続されている。T3のドレインは第4のn型薄膜トランジスタT5のソースが接続されている。T4のソースとT5のドレインは短絡しており、画素回路1から出力される信号線は1本であり、この信号線名をV_cとする。なお、T4、T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。

【0133】以上までの構成は、実施の形態5と同じである。本実施の形態は、この構成に、さらに、第5のn型薄膜トランジスタT6のドレインをOLEDのカソード端に接続し、T6のソースをT1のゲートに接続している。T6のゲートには前記走査側駆動回路から出力されている制御信号ScanCが入力されている。T6はスイッチとして動作する。なお、本実施の形態が示す構成において、T2とT3は、カレントミラー構造に成っていると言ってもよい。

【0134】画素領域外部に設置されたデータ側駆動回路2について説明する。

【0135】画素回路1と接続されている信号線V_cは、第1のnMOSTランジスタM1のソースと、第2のnMOSTランジスタM2のドレインと、第3のnMOSTランジスタM3のドレインに接続されている。M1のゲートには制御信号S1が、M2のゲートには制御信号S2が、M3のゲートには制御信号S3が入力されている。M1のドレインは抵抗R2とサンプルホールド

回路4に接続され、R2の他端は電源電位V_{dd}に接続されている。サンプルホールド回路4には制御信号SHが入力されている。サンプルホールド回路4の出力は電圧比較回路AMP1の負入力端子に接続されている。AMP1の出力はM2のソースに接続されている。また、輝度情報を持つ基準電流I_rは抵抗R1とAMP1の正入力端子に接続され、抵抗R1の他端は電源電位V_{dd}に接続されている。なお、AMP1はMOSTランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。M3のソースには基準電圧源V_sが接続されている。この基準電圧源V_sは電源電位V_{dd}を基準に作られており、電圧V_sはOLEDの発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧V_{on}に等しい電圧を与えることが望ましい。

【0136】サンプルホールド回路4は、例えば、図6に示す構造を用いて構わない。

【0137】本実施の形態によれば、実施の形態3の効果と、実施の形態5の効果との両方の効果が得られる。

【0138】また、構成の変更についても実施の形態3や5と同様に可能である。

【0139】

【発明の効果】以上説明した様に本発明によれば、各画素回路に設置された駆動電流源を構成するトランジスタのしきい値電圧のばらつきに影響されず安定且つ正確に電流発光素子に供給できる。

【0140】また、駆動電流源の制御電圧を制御する期間から、設定された制御電圧に基づいて一定の電流を発光素子に流し続ける期間に移る段階において、駆動電流源の入出力端子間電圧を変化させないようにできるため、駆動電流源として絶縁ゲート型電界効果トランジスタを用いた場合に課題となっていたアーリー効果による影響から完全に開放され、さらには、輝度によって、或いは、経時劣化によってOLEDのアノード・カソード電圧が大きく変化して、駆動電流を発生するトランジスタのソース・ドレイン電圧が十分に確保できず、動作領域が3極管領域になったとしても、安定かつ高精度に駆動電流を発光素子に供給できる為、高精細な画像表示が可能である。

【図面の簡単な説明】

【図1】本発明のアクティブマトリックス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図2】本発明のアクティブマトリックス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図3】本発明のアクティブマトリックス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図4】本発明のアクティブマトリックス型ディスプレ

イの一実施形態に含まれる回路構成を示す構成図である。

【図5】本発明のアクティブマトリックス型ディスプレイの一実施形態の動作を説明する為のタイミングチャートである。

【図6】本発明のアクティブマトリックス型ディスプレイの一実施形態で用いるサンプルホールド回路である。

【図7】本発明のアクティブマトリックス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図8】本発明のアクティブマトリックス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図9】本発明のアクティブマトリックス型ディスプレイの一実施形態の動作を説明する為のタイミングチャートである。

【図10】本発明のアクティブマトリックス型ディスプレイの一実施形態を示す構成図である。

【図11】本発明のアクティブマトリックス型ディスプレイの一実施の形態の動作を説明する為のタイミングチャートである。

【図12】OLEDモデルの放電特性を調べるシミュレーション用回路図である。

【図13】作成したOLEDモデルの電圧電流特性であ

る。

【図14】OLEDの放電特性シミュレーション結果である。

【図15】従来例1のアクティブマトリックス型ディスプレイに含まれる回路構成を示す構成図である。

【図16】従来例2のアクティブマトリックス型ディスプレイに含まれる回路構成を示す構成図である。

【図17】従来例3のアクティブマトリックス型ディスプレイに含まれる回路構成を示す構成図である。

【符号の説明】

OLED 発光素子

TFT1~TFT4、T1~T6 薄膜トランジスタ

M1~M3 MOSトランジスタ

C コンデンサ

R, R1, R2 抵抗

I_r 基準電流源

V_s 基準電圧源

AMP1 電圧比較回路

1 画素回路

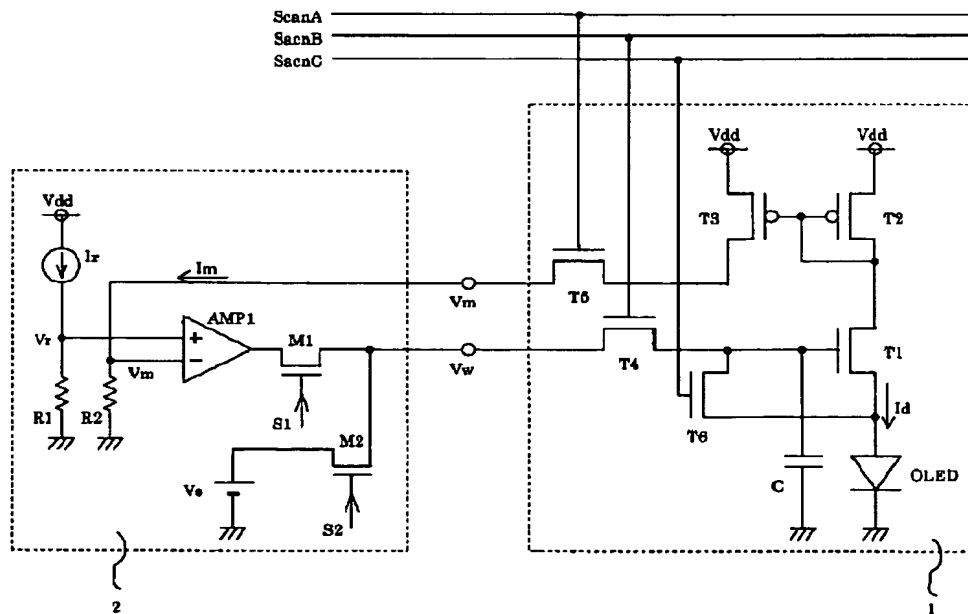
2 データ側駆動回路

3 走査側駆動回路

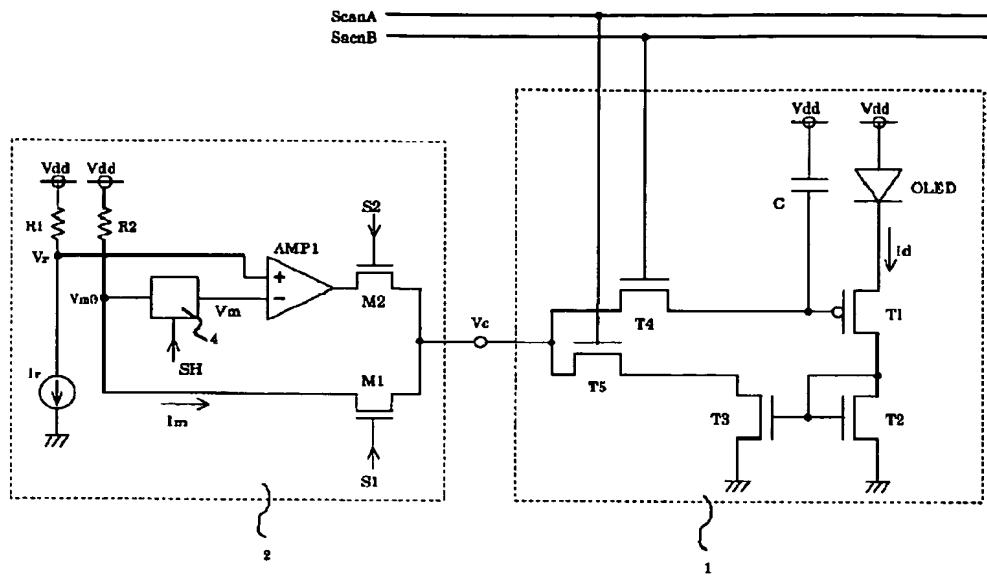
4 サンプルホールド回路

5 信号供給回路

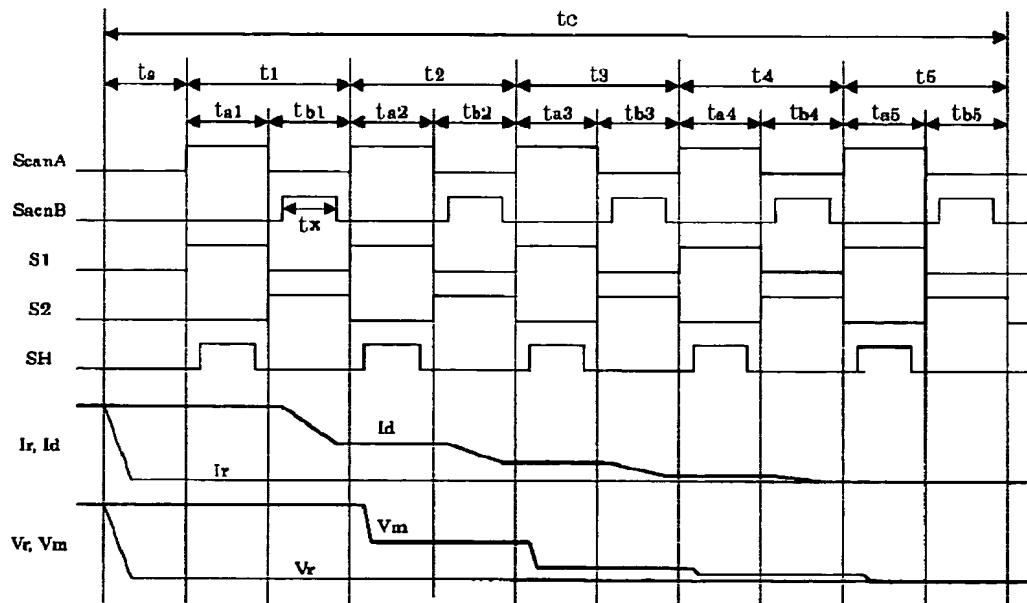
【図1】



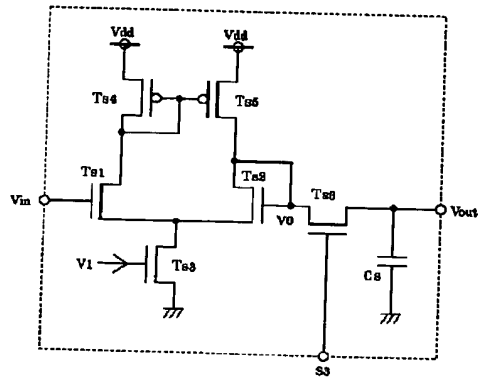
【図4】



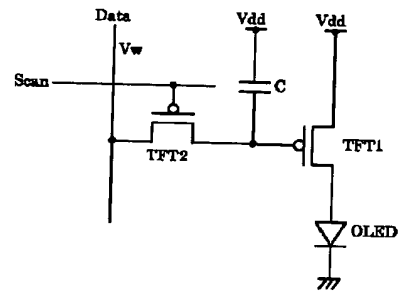
【図5】



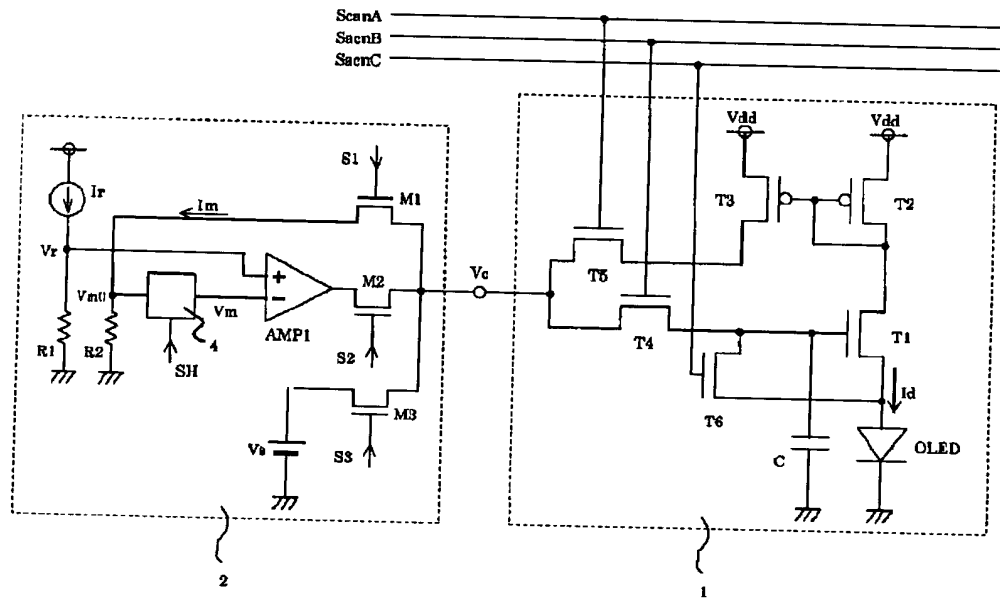
【図6】



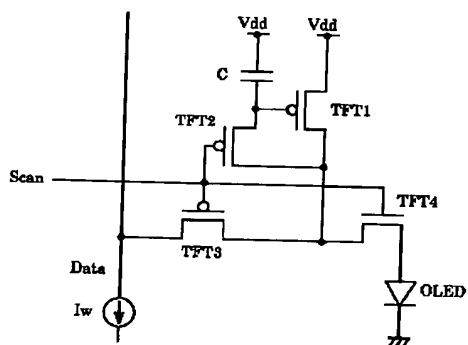
【図15】



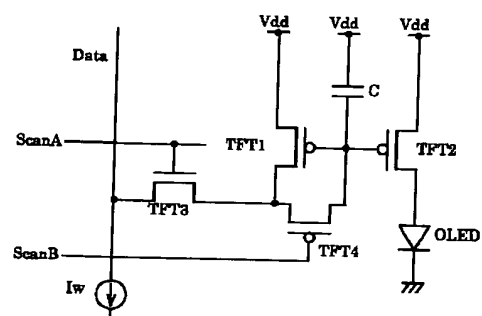
【図7】



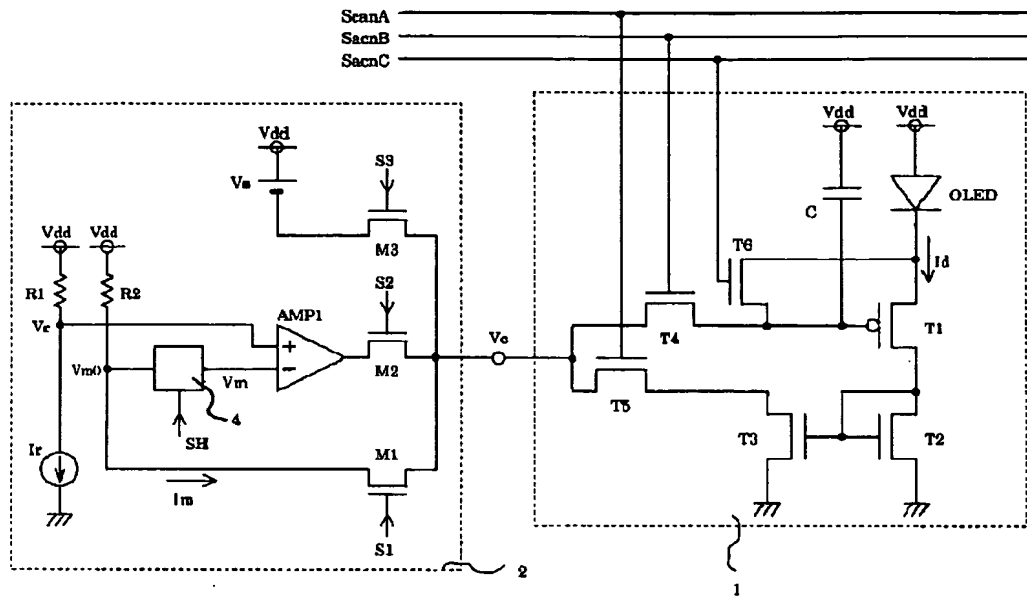
【图 16】



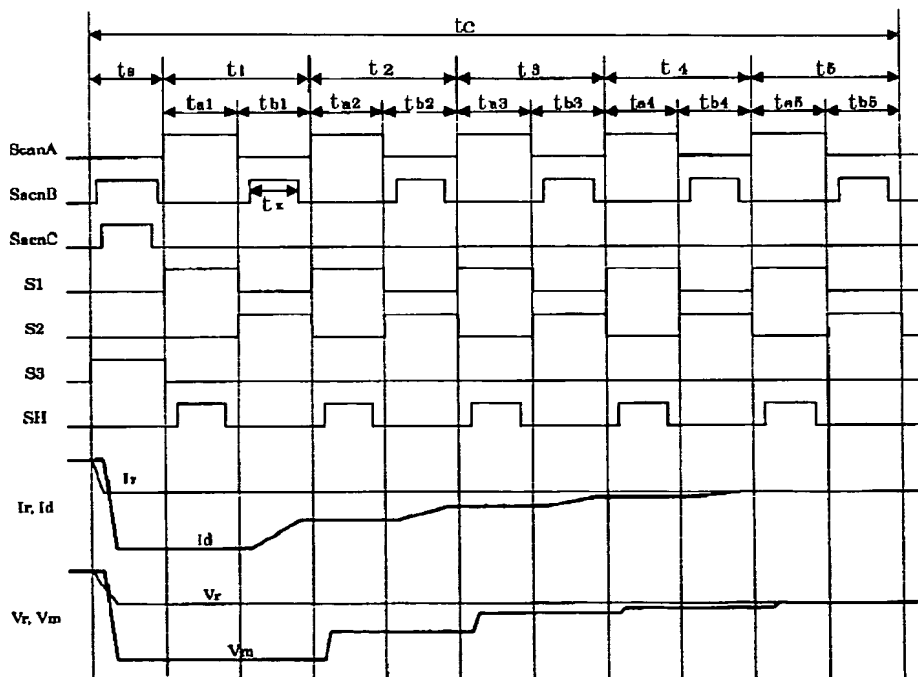
【图 17】



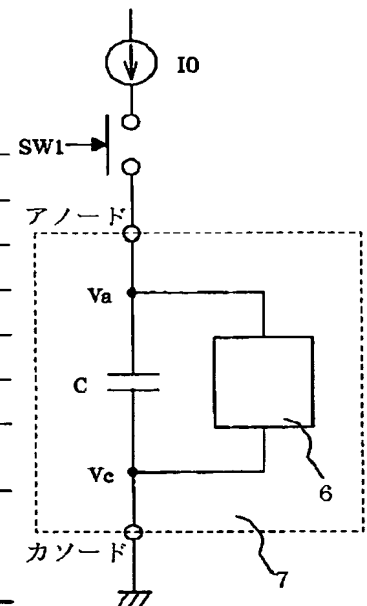
【図8】



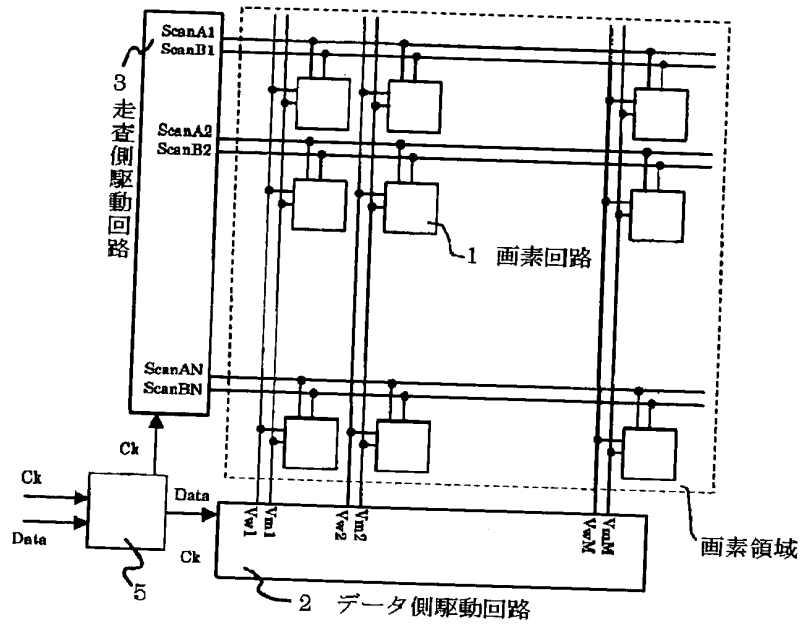
【図9】



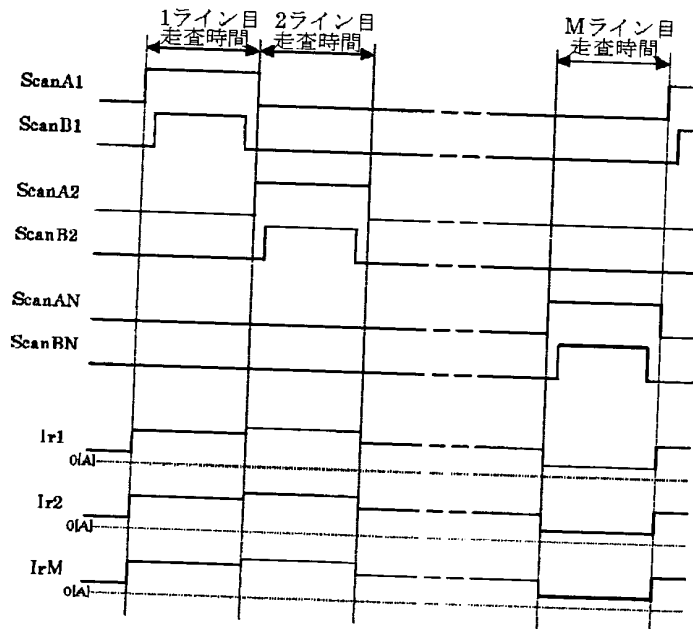
【図12】



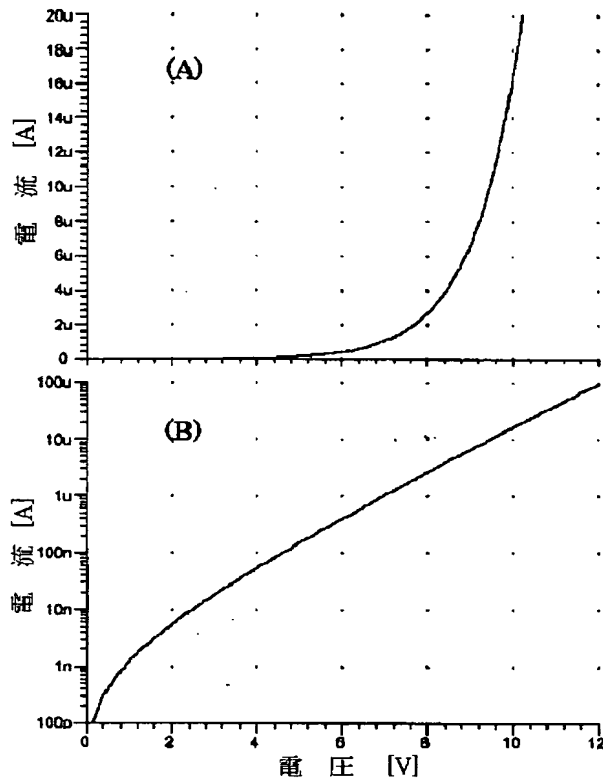
【図10】



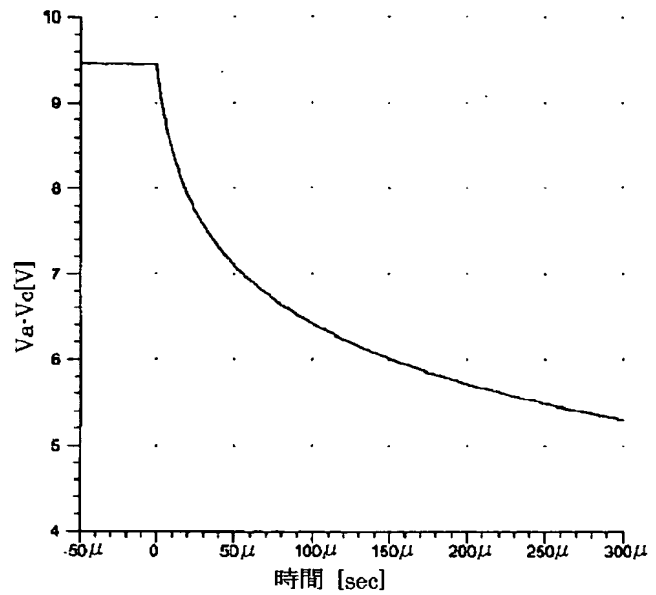
【図11】



【図13】



【図14】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーム (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D
	6 4 2		6 4 2 A
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 1 4

Fターム(参考) 3K007 AB17 BA06 BB07 DA01 DB03
 EB00 GA04
 5C080 AA06 BB05 DD04 DD05 EE28
 FF11 JJ02 JJ03 JJ04 JJ06
 5F110 AA30 BB01 GG02 GG04 GG05
 GG13 GG15 NN71

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)